

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**Partial English Translation of**

**LAID OPEN unexamined**

**JAPANESE PATENT APPLICATION**

**Publication No. 2-118832**

From lines 4 to 11 of the lower right column on page 2

For solving the above-mentioned problems, the present invention is achieved by adding a bit for program termination to the program memory, setting the multiplexer which selects the next step to receive three inputs by adding one input, inputting an address presently being readout into the added input of the multiplexer so as to control the three-input multiplexer by the bit for a program termination.



(19)

(11) Publication number: 02118832 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 63273435  
(22) Application date: 28.10.88

(51) Intl. Cl.: G06F 9/32 G06F 9/30

(30) Priority:	(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD
(43) Date of application publication: 07.05.90	(72) Inventor: MARUYAMA MASAKATSU
(84) Designated contracting states:	(74) Representative:

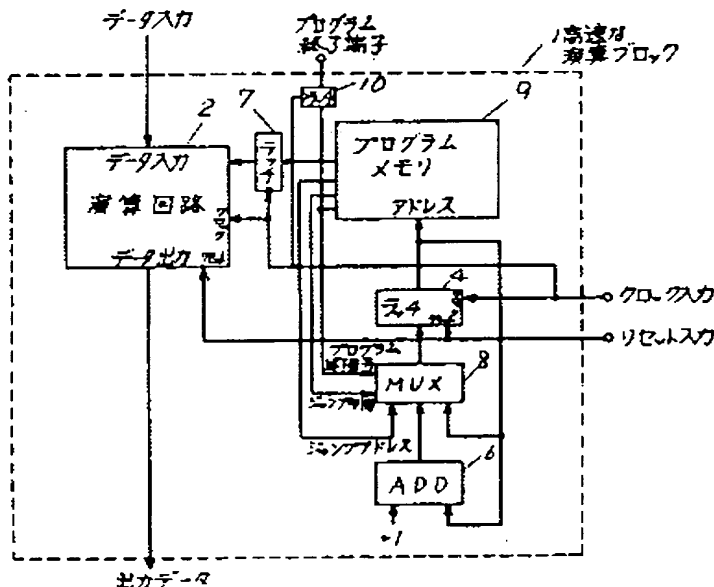
(54) CONTROL CIRCUIT

(57) Abstract:

PURPOSE: To attains a data output without using a jumping instruction and to improve simplicity and connectivity by making a present reading address into a next reading address by an address control circuit with a program completing signal.

CONSTITUTION: The case when a program is completed by two steps and a program completion bit is HIGH at a third step is considered. The program completion bit makes only the next step of the completion of the program into HIGH and it makes all into LOW at other step. An arithmetic circuit 2 executes a step 2, simultaneously, from a program memory 9, the program of a step 3 and a program completing signal, which is one of the outputs of the read memory 9, becomes HIGH. At this time, a multiplexer 8 selects the output of an address latch 4 and the output of the latch 4 outputs the same address even at the next clock. Namely, since the program completing signal becomes HIGH, the same action as the case that jumping is carried out to the address during the execution is obtained.

COPYRIGHT: (C)1990,JPO&Japio



## ⑫ 公開特許公報(A) 平2-118832

⑤ Int. Cl.<sup>3</sup>G 06 F 9/32  
9/30

識別記号

3 2 0 E  
3 3 0 D

庁内整理番号

7361-5B  
7361-5B

⑬ 公開 平成2年(1990)5月7日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 制御回路

⑯ 特 願 昭63-273435

⑰ 出 願 昭63(1988)10月28日

⑱ 発 明 者 丸 山 征 克 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
⑳ 代 理 人 弁理士 栗 野 重 孝 外1名

## 明 細 書

## 1. 発明の名称

制御回路

## 2. 特許請求の範囲

演算回路を制御するためのプログラムメモリと、該プログラムメモリの読み出しアドレスを制御するプログラム制御回路を有し、該プログラムメモリにおいて、プログラム終了を得る手段を有し、プログラム終了を得る該信号によって、プログラム制御回路が現在の読み出しアドレスを次の読み出しアドレスとすることを特徴とする制御回路。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明はプログラムメモリによって演算回路を制御する制御回路に関するものである。

## 従来の技術

近年、半導体素子の発達によりコンピュータの高速化が進んできている。これによりコンピュータのクロックも速くなってきている。コンピュータを構成する素子としてMOSが多く用いられて

いるが、一部ではバイポーラ素子を使用している場合がある。MOSによる回路とバイポーラ素子によるECL回路等のクロックは5～10倍近くの差があり、バイポーラ素子によるECL回路を使ったブロックとMOS回路を使ったブロックで構成されている場合、バイポーラ素子を使ったECL回路ブロックにあった速いクロックを発生させて、それを分周したものをMOS回路のクロックとする。しかし、高い周波数のクロックは扱いにくい。そこで、バイポーラ素子のECL回路のブロック内では、それに合った高いクロックを発生させ、他のMOS回路のブロックにはそれに合った低いクロックを発生させて使用している場合がある。このようにしてバイポーラ素子のECL回路のブロックとMOS素子によるMOS回路のブロックとが非同期で動作させるため、各ブロック間でのデータの授受が問題となってくる。

従来例を第3図を用いて説明する。このECL回路等の高速な演算ブロック1は、外部のMOS回路等の低速な演算ブロックから送られてきたデ

ータに対して、プログラムメモリ3に従って、演算回路2を用いて処理を行い、MOS回路等の低速な演算ブロックに出力するものである。第4図を用いながら、第3図の従来例の動作を説明する。

演算回路2に与えられているデータ入力端子のデータは、リセット信号により演算回路2内に取り込まれる。それと同時にリセット信号によりプログラムメモリ3にアドレスを与えるアドレスラッチ4がリセットされ、プログラムメモリ3にアドレス0を与える。このアドレスラッチ4の出力は加算器8(ADD)の一方の入力となっており、もう一方の入力は1であるため、加算器8の出力は、 $0+1$ を行い、次のステップである1を出力する。加算器8の出力は、2入力マルチプレクサ(MUX)の一方の入力に接続されており、マルチプレクサ5の出力はアドレスラッチ4の入力に接続されアドレスラッチ4のクロックによって取り込まれる。マルチプレクサ5のもう一方の入力はプログラムメモリ3の出力に接続されており、マルチプレクサ5をコントロールする信号も同じ

で、プログラムの終わりにはそのステップへのジャンプ命令が書き込まれており、それにより、見かけ上、それ以降の実行がすべて行われないうにすることでデータを出力している。ここでは、プログラムの3ステップ目に、3ステップ目へのジャンプ命令が書かれており、2ステップ目実行終了以降、データ出力の値が変わっていないのがわかる。次のリセット信号の立ち下りの時の出力データが演算結果となる。ここでは、リセット信号とクロック信号とは非同期であっても良く、ただし、リセット信号はプログラムの実行ステップ以上の間隔とする必要がある。

#### 発明が解決しようとする課題

従来ではプログラムの最後にはソフトウェア的に最後のステップにジャンプするプログラムを入れねばならずプログラムとしてトリッキーでわかりにくいものとなっていた。また、プログラムがいつ終了したかについてもジャンプ命令を代用していたためわからなかった。本発明はかかる点に鑑みてなされたものでジャンプ命令を使用せずに

くプログラムメモリ3の他のビットに接続されている。このビットによりプログラムメモリ3の制御が行われ、次のアドレスが加算器8の出力、すなわち、現在読み出しているアドレスの次のアドレスか、もしくは、マルチプレクサ5のもう一方の入力となっているプログラムメモリ3で与えられるアドレスかの選択が行われる。ジャンプが実行するかどうかの制御である。

リセット信号によりアドレスラッチ4がリセット0アドレスの読み出しとし、演算回路2へのデータの取り込みが行われた後の最初のクロックの立ち上がりによって、プログラムメモリ3の出力はプリフェッチラッチ7に取り込まれ演算回路2に供給される。演算回路2はこの信号によりプログラムステップ0を実行する。これと同時に、アドレスラッチ4は次のステップのアドレス1を出力する。次のクロックの立ち上がりで、プリフェッチラッチ7へ、1ステップ目のプログラムが取り込まれ演算回路2によってステップ1の実行が行われる。このように順次実行が行われる。もし

データ出力を可能とし、かつプログラムの終了もわかるようにすることを目的としている。

#### 課題を解決するための手段

本発明では上記問題点を解決するために、プログラムメモリにプログラム終了のためのビットを追加し、かつ、次のステップを選択するマルチプレクサの入力を1入力追加して3入力とし、追加したマルチプレクサの入力に現在読み出し中のアドレスを入力し、先のプログラム終了のためのビットによっても3入力のマルチプレクサが制御されるようにすることで実現している。

#### 作用

演算回路を制御するためのプログラムメモリと該プログラムメモリの読み出しアドレスを制御するプログラム制御回路を有し、このプログラムメモリのプログラム終了の信号によってアドレス制御回路が現在の読み出しアドレスを次の読み出しアドレスとなる。

#### 実施例

第1図は本発明のブロック図である。高速な演

算ブロック 1 は外部のクロック速度の遅いブロックからのデータを演算回路 2 のデータ入力より取り込み、プログラムメモリ 3 のプログラムに従い演算した結果を演算回路 2 のデータ出力より出力するものである。

本発明を構成するものはマルチプレクサ 8、プログラムメモリ 9 とプログラム終了フェッチラッチ 10 を除き従来例のものと全く同じものである。プログラムメモリ 9 は従来例のものにくらべプログラム終了用の 1 ビットが増加しており、プログラム終了端子としてプログラムフェッチラッチ 10 を介して外部に出力されている。ただし、プログラムメモリ 9 において命令に空きがあるときにはその空きをプログラム終了を示しているとして用いても良い。また、この信号は、従来例でのマルチプレクサ 5 に相当するマルチプレクサ 8 の制御信号として与えられている。このマルチプレクサ 8 は、2 入力から 3 入力へと選択できる入力が 1 つ多くなっており、増加した入力はプログラムメモリ 9 にアドレスを与えるアドレスラッチ 4 の

回路 2 に供給され、ステップ 0 が実行される。それと同時にアドレスラッチ 4 に次のアドレスが取り込まれプログラムメモリ 9 のアドレス端子に与えられる。クロック信号の次の立ち上がりで、ステップ 0 の実行結果が演算回路 2 より出力される。それと同時に、演算回路 2 でステップ 1 の実行が行われる。

ジャンプ命令については、従来と同じく行われプログラムメモリ 9 より供給されるジャンプ制御信号によってマルチプレクサ 8 が、プログラムメモリ 9 より供給されるジャンプアドレスを選択し、アドレスラッチ 4 に与えられることで行われる。

ここで 2 ステップでプログラムが終わり 3 ステップ目にプログラム終了ビットが HIGH となる場合を考える。このプログラム終了ビットはプログラムの終了の次のステップのみ HIGH にし、他のステップではすべて LOW としている。

演算回路 2 がステップ 2 を実行しており、同時にプログラムメモリ 9 より、ステップ 3 のプログラムを読み出しており、読み出されたプログラム

出力に接続されている。

まず、リセット信号の立ち上がりによって演算回路 2 にデータ入力信号が取り込まれる。それと同時にアドレスラッチ 4 がリセットされ出力が 0 となりプログラムメモリ 9 のアドレス 0 を読み出す。アドレスラッチ 4 の出力は加算器 (ADD) 6 の一方の入力に接続されており加算器 6 のもう一方の入力には 1 が与えられており、加算器 6 の出力は次のアドレスの値 1 が出力されている。加算器 6 の出力は 3 入力マルチプレクサ 8 の 1 つの入力に接続されており、このマルチプレクサ 8 の残りの入力は、1 つはプログラムメモリ 9 の出力でジャンプ命令を行うときのアドレスとなる出力ビットが接続され、もう 1 つは、アドレスラッチ 4 の出力に接続されている。このマルチプレクサ 8 の出力はアドレスラッチ 4 の入力に接続されている。

リセット信号が立ち下がり、クロック信号の最初の立ち上がりでプログラムメモリ 9 よりプリフェッチラッチ 7 にプログラムが取り込まれ、演算

メモリ 9 の出力の 1 つであるプログラム終了信号は HIGH となる。この時、マルチプレクサ 8 は、アドレスラッチ 4 の出力を選択し、次のクロックでもアドレスラッチ 4 の出力は同じアドレスを出力するようになる。すなわち、プログラム終了信号が HIGH となったことで実行中のアドレスにジャンプしたことと同じ動作となる。このことで演算回路 2 の実行が他のステップに進まなくなり出力データを外部に渡すことが可能となる。また、プログラム終了信号はプログラムフェッチラッチ 10 を介して出力されており、この信号によりプログラムが終了したかどうか外部より知ることができる。

リセット信号が、リセット信号に非同期であっても良い。ただし、実行プログラムステップより長い周期のリセット信号である必要があり、それはプログラム終了信号により確認できる。

発明の効果

以上述べてきたように、本発明によれば、従来方式のように、プログラム上のジャンプ命令によ

るループというトリッキーなプログラムを用いることなくプログラム終了命令を可能とすることでプログラムの簡潔性の向上と外部にプログラム終了を知らせることも合わせて可能とすることでブロック間の接続性の向上が計れ、実用的にきわめて有用である。

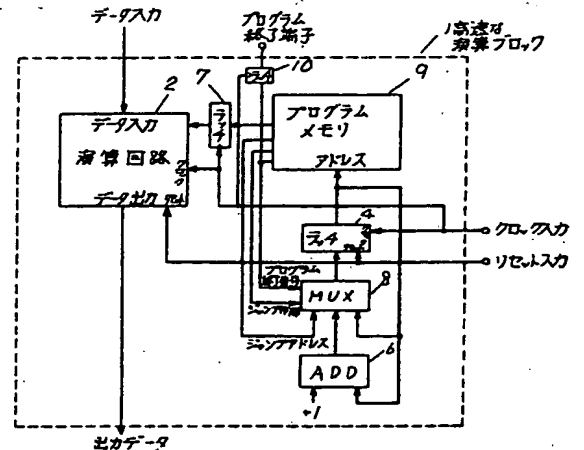
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は本発明でのタイミングチャート図、第3図は従来例を示すブロック図、第4図は従来例でのタイミングチャート図である。

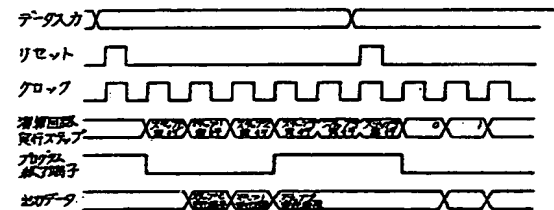
1・・・高速な演算ブロック、2・・・演算回路、4・・・アドレスラッチ、6・・・加算回路、8・・・3入力マルチプレクサ、7、8・・・フエッチラッチ。

代理人の氏名 弁護士 栗野重孝 ほか1名

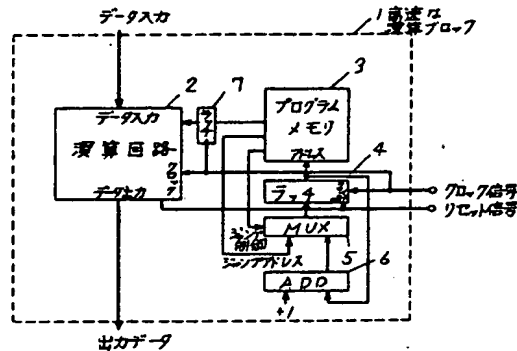
第 1 図



第 2 図



第 3 図



第 4 図

